

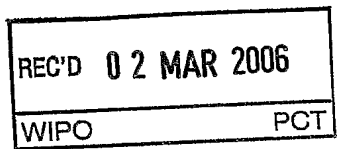
特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第 12 条、法施行規則第 56 条）

〔PCT 36 条及び PCT 規則 70〕



出願人又は代理人 の書類記号 P35352-P0	今後の手続きについては、様式 PCT/ IPEA/ 416 を参照すること。		
国際出願番号 PCT/JP2004/019102	国際出願日 (日. 月. 年) 21. 12. 2004	優先日 (日. 月. 年) 22. 12. 2003	
国際特許分類 (IPC) Int.Cl. G06F12/08(2006.01), G06F12/12(2006.01)			
出願人 (氏名又は名称) 松下電器産業株式会社			

- この報告書は、PCT 35 条に基づきこの国際予備審査機関で作成された国際予備審査報告である。
法施行規則第 57 条 (PCT 36 条) の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。
- この報告には次の附属物件も添付されている。
 - ☒ 附属書類は全部で 4 ページである。
 - ☒ 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙 (PCT 規則 70.16 及び実施細則第 607 号参照)
 - ☐ 第 I 欄 4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙
 - ☐ 電子媒体は全部で _____ (電子媒体の種類、数を示す)。
配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。
(実施細則第 802 号参照)

- この国際予備審査報告は、次の内容を含む。
 - ☒ 第 I 欄 国際予備審査報告の基礎
 - ☐ 第 II 欄 優先権
 - ☐ 第 III 欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - ☐ 第 IV 欄 発明の単一性の欠如
 - ☒ 第 V 欄 PCT 35 条(2) に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - ☐ 第 VI 欄 ある種の引用文献
 - ☐ 第 VII 欄 国際出願の不備
 - ☐ 第 VIII 欄 国際出願に対する意見

国際予備審査の請求書を受理した日 19. 10. 2005	国際予備審査報告を作成した日 15. 02. 2006		
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 清木 泰	5 N	9 6 4 3
電話番号 03-3581-1101 内線 3586			

様式 PCT/ IPEA/ 409 (表紙) (2005 年 4 月)

第 I 欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
- ☐ 出願時の言語から次の目的のための言語である _____ 語に翻訳された、この国際出願の翻訳文
- ☐ 国際調査 (PCT規則12.3(a)及び23.1(b))
- ☐ 国際公開 (PCT規則12.4(a))
- ☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1, 3, 5-22 _____ ページ、出願時に提出されたもの

第 2, 4 _____ ページ*, 19.10.2005 付けで国際予備審査機関が受理したもの

第 _____ ページ*, _____ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2, 3, 4, 5 _____ 項、出願時に提出されたもの

第 _____ 項*, PCT 19 条の規定に基づき補正されたもの

第 1, 6, 7, 8 _____ 項*, 19.10.2005 付けで国際予備審査機関が受理したもの

第 _____ 項*, _____ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-18 _____ 図、出願時に提出されたもの

第 _____ 図*, _____ 付けで国際予備審査機関が受理したもの

第 _____ 図*, _____ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
- ☐ 請求の範囲 第 _____ 項
- ☐ 図面 第 _____ ページ/図
- ☐ 配列表 (具体的に記載すること) _____
- ☐ 配列表に関連するテーブル (具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則 70.2(c))

- ☐ 明細書 第 _____ ページ
- ☐ 請求の範囲 第 _____ 項
- ☐ 図面 第 _____ ページ/図
- ☐ 配列表 (具体的に記載すること) _____
- ☐ 配列表に関連するテーブル (具体的に記載すること) _____

* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、
それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 1-8	有
	請求の範囲	無
進歩性 (IS)	請求の範囲	有
	請求の範囲 1-8	無
産業上の利用可能性 (IA)	請求の範囲 1-8	有
	請求の範囲	無

2. 文献及び説明 (PCT規則 70.7)

文献1: J P 2003-223360 A (株式会社日立製作所)

2003.08.08,

【請求項1】 - 【請求項7】, 【0001】 - 【0023】,

【0067】 - 【0098】, 【図6】 - 【図12】

文献2: J P 2000-29788 A (日本電気株式会社)

2000.01.28,

【0060】 - 【0084】, 【図1】, 【図2】, 【図3】, 【図6】, 【図7】

文献3: J P 2001-222467 A (松下電器産業株式会社)

2001.08.17

文献4: J P 3-54649 A (沖電気株式会社)

1991.03.08,

第5頁右上欄第4行-右下欄第5行, 第4図(a)

文献5: J P 7-84879 A (株式会社東芝) 1995.03.31

文献6: J P 8-69417 A (三洋電機株式会社) 1996.03.12

・請求の範囲1乃至8について

請求の範囲1乃至8は文献1、文献2、文献3、文献4及び文献6により進歩性を有しない。

文献1、文献3、文献4及び文献6のいずれにも、プロセッサからの指示により、ダーティビットを強制的にリセットする技術が教示されている。また、文献1には、プロセッサからの指示により、バリッドフラグを強制的にリセットする技術が教示されている。さらに、文献2及び文献3のいずれにも、プロセッサからの指示により、バリッドフラグを強制的にセットするかキャッシュエントリを有効化する技術が教示されている。

より詳細に言えば、文献1には、メモリ解放命令MRELやダーティビットクリア命令DCBDCにより、キャッシュエントリのダーティフラグを強制的にリセットする技術が教示されている。さらに、文献1には、キャッシュエントリのダーティフラグを強制的にリセットするに際し、プロセッサがその対象となるアドレス範囲を指定し、指定されたアドレス範囲の先頭アドレスと終了アドレスをキャッシュライン境界になるように補正する技術が教示されている。

文献2には、プロセッサから通常のライト命令とは異なるキャッシュ・ミス用ライト命令をキャッシュメモリが受ける際に、キャッシュミスヒットが発生したら、メインメモリからキャッシュメモリにデータをロードすることなくVビットを1にする技術が教示されている。
(以下、補充欄に続く)

補充欄

いずれかの欄の大きさが足りない場合

第 V.2 欄の続き

文献3には、プロセッサコアからキャッシュ回路にアクセスする際にNORFL信号を通知し、このNORFL信号を受けたキャッシュ回路は、キャッシュミスヒットが発生したら、主メモリからキャッシュ回路にデータをロードすることなくキャッシュエントリを有効化する技術が教示されている。さらに、文献3には、プロセッサコアからキャッシュ回路にアクセスする際にCLRDT信号を通知し、このCLRDT信号を受けたキャッシュ回路は、キャッシュエントリのダーティフラグを強制的にリセットする技術が教示されている。

文献4には、命令セットのなかに、読み出し後にキャッシュエントリの破棄ビットを1にする（ダーティビットをリセットすることと等価である。）命令を備える技術が教示されている。

出願人が2005.10.19付けで提出した答弁書及び手続補正書に関連して、文献6には、プロセッサが適用対象を指定する情報（アドレス範囲）を伴ったコマンドをキャッシュメモリに発行し、キャッシュメモリ側でコマンドを実行するために必要な情報（例えば、コマンドの適用対象を指定する情報（アドレス範囲））をレジスタに保持し、キャッシュメモリはレジスタに保持した情報に基づいてコマンドを自律的に実行する技術が教示されている。

文献1、文献2、文献3、文献4及び文献6に教示された技術を適宜組み合わせることは、当業者にとって容易である。なお、文献6に教示された技術においては、コマンドの種別を示すレジスタが明示されていないものの、必要に応じてコマンドの種別もレジスタに格納するように設計変更することも当業者にとって容易である。

機能を有することで、コンピュータシステムは、必要な時にプログラムをキャッシュメモリから読み出して実行することができ、これにより実行時間が短縮する。また、ページ機能は、アクセス頻度は多いが、実行速度がそれほど要求されないようなプログラムやデータをキャッシュメモリ内に保存しておくことなく、その領域を解放する機能である。この機能を有することで、キャッシュメモリに余裕ができ、優先度の高い他のプログラムやデータをキャッシュメモリに取り込むことができ、これにより、キャッシュメモリの利用効率が向上し、総合的な実行時間が短縮する。

特許文献1：特開2000-200221号公報

発明の開示

発明が解決しようとする課題

- 【0006】 しかしながら、フリーズ機能を使用してもページ機能を使用しても、キャッシュミス発生によりリプレースする場合に無駄なリプレースをしたり、無駄なライトバックをする場合があるという問題がある。
- 【0007】 例えば、無駄なリプレースが生じる場合として、プロセッサが配列要素を全てライトする場合がある。この場合、メモリから新たにデータをキャッシュメモリにリプレースしても、プロセッサから全てライトされるので、リプレースが無駄に終わる。
- 【0008】 また、無駄なライトバックが生じる場合として、キャッシュエントリーが単にワークデータとして使用される場合がある。この場合、最終的に破棄してもよいデータであるにも拘らず、無駄なライトバックが発生する。

課題を解決するための手段

- 【0009】 本発明の目的は、無駄なリプレースや無駄なライトバックを防止するキャッシュメモリを提供することにある。
- 【0010】 上記課題を解決するため本発明のキャッシュメモリは、キャッシュの単位データを保持するキャッシュエントリーに対応させて、当該キャッシュエントリーが有効であるか否かを示すバリッドフラグと、当該キャッシュエントリーに対する書き込みがなされたか否かを示すダーティフラグとを保持するフラグ保持手段と、プロセッサから発行されたコマンドを保持するコマンド保持手段と、コマンド保持手段に保持されたコマンドに基づき、前記バリッドフラグおよびダーティフラグの少なくとも一方をキャッシュエントリーの状態に反して改変する改変手段とを備える。

管理のための負荷を解消することができる。

【0019】 ここで、前記改変手段は、さらに、ダーティフラグのリセット指示付きメモリアクセス命令が実行されたことを検出する命令検出手段と、当該命令によってアクセスがなされたキャッシュエントリーに対してダーティフラグをリセットするフラグ書き換え手段とを備える構成としてもよい。

【0020】 ここで、前記改変手段は、さらに、バリッドフラグのリセット指示付きメモリアクセス命令が実行されたことを検出する命令検出手段と、当該命令によってアクセスがなされたキャッシュエントリーに対してバリッドフラグをリセットするフラグ書き換え手段とを備える構成としてもよい。

また、本発明のキャッシュメモリの制御方法についても上記と同様の手段、作用を有する。

【0021】 本発明のキャッシュメモリによれば、配列などのデータを書き込むためのキャッシュエントリーをキャッシュメモリ上に確保することができ、しかも、上書きされる運命にあるデータをメモリからキャッシュメモリへ無駄にロードすることを防止することができる。

また、テンポラリーなワークデータ等破棄される運命にあるデータを保持するキャッシュエントリーから無駄にライトバックすることを防止することができる。

【0022】 さらに、プロセッサは、前記アドレス範囲として、キャッシュメモリのラインサイズ及びライン境界のアドレスとは無関係に任意のアドレスから任意のアドレス（又は任意のサイズ）を指定することができる。つまり、プロセッサにおいてキャッシュメモリのラインサイズ及びライン境界のアドレスを管理する必要がないので、キャッシュメモリ管理のための負荷を解消することができる。

発明の効果

【0023】 本発明のキャッシュメモリによれば、プロセッサの指示に基づいて、配列などのデータを書き込むためのキャッシュエントリーをキャッシュメモリ上に確保することができ、しかも、上書きされる運命にあるデータをメモリからキャッシュメモリへ無駄にロードすることを防止することができる。また、テンポラリーなワークデータ等破棄される運命にあるデータを保持するキャッシュエントリーから無駄にライトバックすることを防止することができる。

請求の範囲

- [1] (補正後) キャッシュの単位データを保持するキャッシュエントリーに対応させて、当該キャッシュエントリーが有効であるか否かを示すバリッドフラグと、当該キャッシュエントリーに対する書き込みがなされたか否かを示すダーティフラグとを保持するフラグ保持手段と、
- プロセッサから発行されたコマンドを保持するコマンド保持手段と、
- コマンド保持手段に保持されたコマンドに基づき、前記バリッドフラグおよびダーティフラグの少なくとも一方をキャッシュエントリーの状態に反して改変する改変手段とを備えることを特徴とするキャッシュメモリ。
- [2] 前記改変手段は、メモリからデータをロードすることなく、キャッシュエントリーに対してタグとしてのアドレスを設定しバリッドフラグをセットすることを特徴とする請求項 1 記載のキャッシュメモリ。
- [3] 前記改変手段は、キャッシュエントリーに対してライトバックされていない書き換えられたデータを保持している状態でダーティフラグをリセットすることを特徴とする請求項 2 記載のキャッシュメモリ。
- [4] 前記キャッシュメモリは、さらに、
- プロセッサから指定されたアドレス範囲を保持する保持手段と、
- 保持されたアドレス範囲に属するデータを保持するキャッシュエントリーを特定する特定手段とを備え、
- 前記改変手段は、特定されたキャッシュエントリーに対して前記バリッドフラグおよびダーティフラグの少なくとも一方を改変することを特徴とする請求項 2 又は 3 記載のキャッシュメモリ。
- [5] 前記特定手段は、
- 前記アドレス範囲の先頭アドレスがラインデータの途中を指す場合、当該先頭アドレスを、前記アドレス範囲に含まれる先頭のラインを指すスタートラインアドレスに変換する第 1 変換手段と、
- 前記アドレス範囲の末尾アドレスがラインデータの途中を指す場合、当該末尾アドレスを、前記アドレス範囲に含まれる末尾のラインを指すエンドラインアドレスに変換する第 2 変換手段と、

前記スタートラインアドレスからエンドラインアドレスまでの各ラインアドレスに対応するデータを保持するキャッシュエントリーがあるか否かを判定する判定手段とを備えることを特徴とする請求項4記載のキャッシュメモリ。

[6] (補正後) 前記改変手段は、さらに、

ダーティフラグのリセット指示付きメモリアクセス命令が実行されたことを検出する命令検出手段と、

当該命令によってアクセスがなされたキャッシュエントリーに対してダーティフラグをリセットするフラグ書き換え手段と

を備えることを特徴とする請求項1記載のキャッシュメモリ。

[7] (補正後) 前記改変手段は、さらに、

バリッドフラグのリセット指示付きメモリアクセス命令が実行されたことを検出する命令検出手段と、

当該命令によってアクセスがなされたキャッシュエントリーに対してバリッドフラグをリセットするフラグ書き換え手段と

を備えることを特徴とする請求項1記載のキャッシュメモリ。

[8] (補正後) キャッシュの単位データを保持するキャッシュエントリーに対応させて、当該キャッシュエントリーが有効であるか否かを示すバリッドフラグと、当該キャッシュエントリーに対する書き込みがなされたか否かを示すダーティフラグとを有するキャッシュメモリの制御方法であって、

プロセッサから発行されたコマンドを保持する保持ステップと、

保持されたコマンドに基づき、メモリからデータをロードすることなく、キャッシュエントリーに対してタグとしてのアドレスを設定しバリッドフラグをセットするステップと、

保持されたコマンドに基づき、キャッシュエントリーに対してライトバックされていない書き換えられたデータを保持している状態でダーティフラグをリセットするステップと

を有することを特徴とする制御方法。